

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 6 4 6 8 3

(43)公開日 平成9年(1997)3月7日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H	9/17		H 0 3 H	9/17
	3/02			3/02
				F
				E

審査請求 未請求 請求項の数 5

F D

(全 8 頁)

(21)出願番号 特願平8-218108

(22)出願日 平成8年(1996)8月1日

(31)優先権主張番号 516220

(32)優先日 1995年8月17日

(33)優先権主張国 米国 (U S)

(71)出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72)発明者 ルーク・マン

アメリカ合衆国アリゾナ州フェニックス、
イースト・アーウォツキー・ドライブ3729

(72)発明者 フレッド・エス・ヒッカーネル

アメリカ合衆国アリゾナ州フェニックス、
イースト・ウェルドン5012

(74)代理人 弁理士 大貫 進介 (外1名)

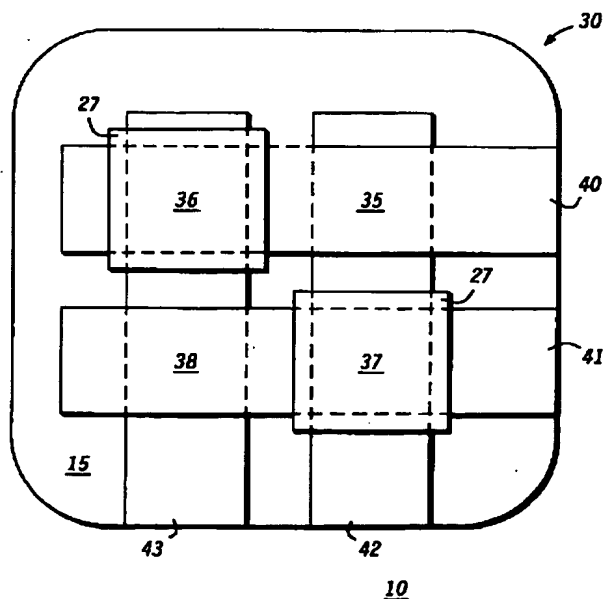
最終頁に続く

(54)【発明の名称】モノリシック薄膜共振器格子フィルタおよびその製造方法

(57)【要約】

【目的】 簡単かつ安価で製造可能で、しかも信頼性の高い薄膜圧電共振器格子フィルタおよびその形成方法を提供する。

【構成】 モノリシック薄膜共振器格子フィルタ (30) は、基板 (10) 上に配置され、第1の I/O 端子集合を規定する導電性膜 (22) の離間ストリップ (42, 43) と、導電性膜 (22) 上に配置された圧電物質層 (25) と、第1ストリップ (42, 43) に直交するように圧電層 (25) 上に配置され、各々薄膜共振器 (35~38) と第2の I/O 端子集合とを規定する交差領域を形成する、導電性物質 (24) の離間導電性ストリップ (40, 41) とを含む。複数の誘電体膜 (27) の部分が、選択された交差領域上に配置され、薄膜共振器 (36, 37) に質量負荷をかけることにより、共振周波数を低下させる。



【特許請求の範囲】

【請求項 1】薄膜共振器のモノリシック・アレイを製造する方法であって：平面（11，16）を有する支持基板（10）を用意する段階；前記支持基板（10）の平面（11，16）上に第 1 導電性膜（22）を配置し、該第 1 導電性膜（22）を複数の第 1 離間導電性ストリップ（42，43）に分離して、第 1 の I/O 端子集合を規定する段階；前記第 1 導電性膜（22）上に圧電物質層（25）を配置する段階；前記圧電物質層（25）上に第 2 導電性膜（24）を配置し、該第 2 導電性膜（24）を、複数の第 1 導電性ストリップ（42，43）に対してある角度をなして位置付けられた複数の第 2 離間導電性ストリップ（40，41）に分離し、前記複数の第 2 導電性ストリップ（40，41）の各々が、前記第 1 導電性ストリップ（42，43）の各々の一部に交差領域において上に位置し、かつ第 2 の I/O 端子集合を規定し、前記交差領域の各々が、ある共振周波数を有する薄膜共振器（35～38）を規定する段階；および前記複数の交差領域（36，37）の各々の上に、誘電体物質膜（27）の複数の部分を 1 つずつ配置し、前記複数の交差部分によって規定された薄膜共振器（36，37）に質量負荷をかけ、質量負荷がかけられた前記薄膜共振器の共振周波数を変更する段階；から成ることを特徴とする方法。

【請求項 2】前記支持基板を用意する段階は、更に：平面（11）を有する第 1 基板（10）を用意する段階；前記第 1 基板（10）の平面（11）内に空洞（12）を形成する段階；平面（16）を有する第 2 基板（14）を用意する段階；前記第 2 基板（14）の平面（16）上に物質層（15）を配置して、前記第 2 基板（14）の平面（16）と平行な前記物質層（15）の平面を形成し、前記第 1 基板（10）の平面（11）に接合可能であることによって前記物質層（15）を区別し、更に、該物質層（15）から選択的にエッチング可能な前記第 2 基板（14）によって前記物質層（15）を区別する段階；前記物質層（15）の平面を、前記空洞（12）に対して上に位置する関係で、前記第 1 基板（10）の平面（11）に接合する段階；および前記物質層（15）から前記第 2 基板（14）の部分をエッチングして、前記空洞（12）を覆う領域内のエッチングされた平面を露出させる段階；を含むことを特徴とする、請求項 1 記載の薄膜共振器のモノリシック・アレイを製造する方法。

【請求項 3】モノリシック薄膜共振器格子フィルタの製造方法であって：平面を有する支持基板を用意する段階；前記支持基板の平面上に第 1 導電性膜を配置し、該第 1 導電性膜を第 1 の離間導電性ストリップ対に分離し、第 1 の I/O 端子集合を規定する段階；前記第 1 導電性膜上に圧電物質層を配置する段階；前記圧電物質層上に第 2 導電性膜を配置し、該第 2 導電性膜を、前記第

1 の離間導電性ストリップ対に対して直交して位置付けられた第 2 の離間導電性ストリップ対に分離し、前記第 2 の導電性ストリップ対の各々は、前記第 1 の導電性ストリップ対の各々の一部に交差領域において上に位置し、かつ第 2 の I/O 端子集合を規定し、前記交差領域の各々がある共振周波数を有する薄膜共振器を規定し、該薄膜共振器を 2 x 2 アレイに配列する段階；および前記交差領域の 2 箇所の上に、2 部分の誘電体物質膜を 1 つずつ配置し、前記 2 箇所の交差部分によって規定された 2 つの薄膜共振器に質量負荷をかけ、質量負荷がかけられた前記 2 つの薄膜共振器の共振周波数を変更し、前記 2 つの薄膜共振器を前記 2 x 2 アレイの対角線に沿って配置する段階；から成ることを特徴とする方法。

【請求項 4】薄膜共振器のモノリシック・アレイであって：平面（11，16）を有する支持基板（10）；前記支持基板（10）の平面（16）上に配置された第 1 導電性膜（22）であって、第 1 の複数の離間導電性ストリップ（42，43）に分離されて、第 1 の I/O 端子集合を規定する前記第 1 導電性膜（22）；前記第 1 導電性膜（22）上に配置された圧電物質層（25）；前記圧電物質層（25）上に配置された第 2 導電性膜（24）であって、

前記第 2 導電性膜（24）は、複数の第 1 導電性ストリップ（42，43）に対してある角度をなして位置付けられた複数の第 2 離間導電性ストリップ（40，41）に分離され、前記複数の第 2 導電性ストリップ（40，41）の各々は、前記第 1 導電性ストリップ（42，43）の各々の一部に交差領域において上に位置し、かつ第 2 の I/O 端子集合を規定し、前記交差領域の各々は、ある共振周波数を有する薄膜共振器（35～38）を規定する、前記第 2 導電性膜（24）；および各々、前記複数の交差領域（36，37）の各々の上に配置された複数の誘電体物質膜（27）の部分であって、該部分の各々は、前記複数の交差部分によって規定された薄膜共振器（36，37）に質量負荷をかけ、質量負荷がかけられた前記薄膜共振器の共振周波数を変更する、前記複数の誘電体物質（27）部分；から成ることを特徴とする薄膜共振器のモノリシック・アレイ。

【請求項 5】モノリシック薄膜共振器格子フィルタであって：平面を有する支持基板；前記支持基板の平面上に配置された第 1 導電性膜であって、第 1 の離間導電性ストリップ対に分離されて、第 1 の I/O 端子集合を規定する前記第 1 導電性膜；前記第 1 導電性膜上に配置された圧電物質層；前記圧電物質層上に配置された第 2 導電性膜であって、該第 2 導電性膜は、前記第 1 の離間導電性ストリップ対に対して直交して配置された、第 2 の離間導電性ストリップ対に分離され、前記第 2 の導電性ストリップ対の各々は、前記第 1 の導電性ストリップ対の各々の一部に交差領域において上に位置し、かつ第 2 の I/O 端子集合を規定し、前記交差領域の各々が、ある

共振周波数を有する薄膜共振器を規定し、該薄膜共振器を 2 x 2 アレイに配列する、前記第 2 導電性膜；および前記交差領域の 2 箇所の上に、各 1 つが配置された 2 部分の誘電体物質膜であって、前記 2 箇所の交差部分によって規定された 2 つの薄膜共振器に質量負荷をかけ、質量負荷がかけられた前記 2 つの薄膜共振器の共振周波数を変更し、前記 2 つの薄膜共振器が前記 2 x 2 アレイの対角線に沿って配置される、前記誘電体物質膜；から成ることを特徴とするモノリシック薄膜共振器格子フィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に薄膜共振器に関し、更に特定すれば、モノリシック格子フィルタにおける薄膜共振器およびその製造方法に関するものである。

【0002】

【従来の技術】圧電フィルタ(piezoelectric filter)、特に結晶基板上の面実装の弾性波(SAW:surface acoustic wave) フィルタは、今日携帯用無線機の分野において、RF フィルタ等に幅広く用いられている。この圧電フィルタは、1 つ以上の圧電共振器で形成され、小型軽量に作ることができるので、特に小型の携帯用通信装置には有用である。

【0003】低周波数領域(即ち、数十MHz)では、個別の結晶共振器が格子形状でフィルタとして用いられる。しかしながら、これら個別共振器は比較的大きく、しかも製造が高価なものとなる。また、個別共振器は、製造の間手間のかかる周波数整合を必要とし、しかも 1 ないし 3 GHz またはそれ以上の高い周波数に延長することができない。

【0004】薄膜共振器を用いようとする幾つかの試みがなされたが、圧電共振器は非常に敏感であり、ある種の比較的堅牢な基板上に形成しなければならない。しかしながら、圧電共振器が適正に動作するためには、基板から分離されていなければならない。さもないと、基板が共振、即ち、振動を減衰させてしまう。

【0005】従来技術の中には、基板表面上に圧電共振器を形成し、次いで背面側から基板をほぼ貫通する空洞をエッチングで形成することによって、分離(decoupling)を達成したものがある。基板は比較的厚いこともあり得るので、このプロセスは大量の非常に困難なエッチングを必要とし、しかも圧電素子が損傷を受ける前にこのエッチング・プロセスを確実に停止させるために細心の注意が必要となる。また、基板をエッチングする角度(約 50°)のために、必要とされる基板の量および共振器の最終的なサイズが大幅に増加する。

【0006】従来技術の素子には、基板上に犠牲層を形成し、次に犠牲層上に支持層を形成することによって、分離を達成したものもある。次に、支持層上に圧電素子

を形成し、犠牲層をエッチングで除去する。こうすると、支持層が空隙上に架橋状に延在するので、圧電素子が基板から分離される。この圧電素子の製造方法に伴う問題は、除去しなければならない物質の水平方向寸法(大きなアンダーカット)、即ち、物質の範囲が広いために、犠牲層のエッチングが困難なことである。

【0007】通常、薄膜共振器は、積層フィルタ(stack ed filter)および梯子フィルタ(ladder filter)の形状で製造される。しかしながら、積層フィルタは少なくとも 2 層の圧電膜を堆積し、それらを金属層の間に挟持させなければならないため、製造の複雑性が増大し、ひいてはフィルタのコストが大幅に上昇する。同様に、梯子フィルタも比較的挿入損失が大きく、比較的大型で費用もかかる。

【0008】

【発明が解決しようとする課題】したがって、簡単かつ安価な圧電共振器であって、圧電共振器フィルタを形成することができる便利な圧電共振器を製造するための新たな方法を考案できれば有益であろう。

【0009】本発明の目的は、新規で改良された薄膜圧電共振器格子フィルタの製造方法を提供することである。

【0010】本発明の他の目的は、従来技術よりも大幅に簡単かつ安価な、密閉空洞上に薄膜圧電共振器格子フィルタを形成する、新規で改良された方法を提供することである。

【0011】本発明の更に他の目的は、一貫性および信頼性を向上させた、新規で改良された薄膜圧電共振器格子フィルタを提供することである。

【0012】本発明の更に別の目的は、差動回路等に都合よく用いることができる平衡回路における、新規で改良された薄膜圧電共振器格子フィルタを提供することである。

【0013】また本発明の更に別の目的は、従来技術のフィルタよりも小型で製造が容易であり、しかも従来技術のフィルタよりも安価で信頼性の高い、新規で改良された薄膜圧電共振器格子フィルタを提供することである。

【0014】また本発明の更に別の目的は、真の半格子フィルタにいくらか相似した 2 つの共振器を含み、差動増幅器との組み合わせによって、全帯域格子フィルタと同様の性能を有し、挿入損失の代わりに利得を与える、最も簡単な既知の薄膜共振器フィルタが得られる、新規で改良された薄膜圧電共振器格子フィルタを提供することである。

【0015】

【課題を解決するための手段】上述の問題およびその他の問題の少なくとも部分的な解決、ならびに上述の目的およびその他の目的の実現は、モノリシック薄膜共振格子フィルタによって達成される。このフィルタは、第 1

の I/O 端子集合を規定するように基板上に配置された第 1 導電膜の離間ストリップと、第 1 導電膜上に配置された圧電物質層と、圧電層上に第 1 ストリップに対して直交するように位置付けられ、各々薄膜共振器と第 2 の I/O 端子集合とを規定するクロスオーバー領域を形成する第 2 導電膜の離間導電性ストリップとを含む。複数の誘電体膜の部分が、選択されたクロスオーバー領域上に配置され、薄膜共振器に質量負荷(mass load)をかけることによって共振周波数を低下させる。

【0016】薄膜共振器は互いに非常に接近して位置付けられ、標準的な半導体製造プロセスで形成されるので、これらは互いに類似しており、したがって、格子フィルタ構造として用いる場合、良好な相殺(cancellation)が認められる。薄膜共振器は非常に類似しているもので、誘電体膜による質量荷重は、単一工程で、ウエハ上の選択された薄膜共振器全てに対して、容易に行うことができる。

【0017】

【発明の実施の形態】これより図面を参照しながら本発明の実施例を説明する。図 1 ないし図 4 は、密閉空洞を有する薄膜圧電共振器を製造する具体的なプロセスにおけるいくつかの工程を示す、簡略超拡大断面図である。用いられる薄膜材料によっては、絶縁、保護膜、封入等の付加的な層が必要な場合もあるが、かかる層および膜は全て、簡略化のためおよび本発明をよりよく理解するために、以降省略することとした。ここに示す具体的な構造および製造方法は、例示の目的のために過ぎず、基板のエッチング、犠牲層、反射インピーダンス整合層等を含む本発明による他の格子フィルタ製造方法も考案可能であり、更に、本発明はこれらにも限定される訳ではない。基板上に薄膜共振器を製造する方法は、"Thin Film Resonator Having Stacked Acoustic Reflecting Impedance Matching Layers and Method" と題する、1994 年 12 月 13 日に発行された、米国特許第 5,373,268 号に開示されている。この特許の内容は本願でも使用可能である。

【0018】本具体的実施例では、説明のために、以下の製造方法を利用するものとする。具体的に図 1 を参照すると、平面状の上面 11 を有する第 1 基板 10 が示されている。基板 10 は、例えば、既知の半導体物質のいずれかのような、容易に加工可能ないずれかの好都合な物質とすることができる。本具体例では、基板 10 は、通常半導体製品の製造に用いられている、シリコン・ウエハである。

【0019】いずれかの好都合な手段によって、基板 10 の上平面 11 に空洞 12 を形成する。図面描かれているのは基板 10 を含むウエハの一部と 1 つの空洞 12 のみであるが、基板 10 は複数の空洞 12 を含むこともあり、これらは全て同時に形成されることは理解されよう。本好適実施例では、当技術では既知の態様で、マス

ク、フォトリソ等を用いて上平面 11 にパターンニングを行い、基板 10 をエッチングすることによって、空洞 12 を形成する。

【0020】次に、平坦な表面を有する第 2 基板 14 を用意し、全体的に誘電体物質の層 15 を、この第 2 基板 14 の平面上に配置し、基板 14 と層 15 との接合部に、平面 16 を形成する。図面に描かれているのは基板 14 を含むウエハの一部のみであるが、基板 14 の表面全体が層 15 によって覆われていてもよく、あるいは基板上の 1 つまたは複数の空洞 12 を覆う位置でのみ、層 15 をパターンニングしてもよいことは理解されよう。層 15 は、第 1 基板 10 の平面 11 に接合可能な平面 16 から区別される物質で形成される。また、層 15 の物質は、層 15 から選択的にエッチング可能な第 2 基板 14 からも区別される。本好適実施例では、例えば、基板 14 はシリコン・ウエハであり(基板 10 に関連して述べたように)、層 15 は、既知の酸化技法のいずれかのよって基板 14 の平面上に成長させた酸化物質層(SiO₂)である。具体的に図 2 を参照すると、少なくとも空洞 12 を覆うように、層 15 の表面が基板 10 の平面 11 に接合されている。この目的のためには、接着剤またはその他の化学物質、ウエハ・ボンディング等のような、いかなるボンディング技法も使用可能であることは理解されよう。本好適実施例では、標準的なウエハ・ボンディング技法を用いた。即ち、突き合される面同士を艶出し研磨(polish)して平面性を保証し、これらの面を単に接合し(並置状態とする)、加熱して堅固な化学的接合を与える。

【0021】次に、研磨(grinding)および/または艶出しによって、基板 14 を都合のよい厚さまで加工し、標準的な半導体エッチング技法を用いて、基板 14 の残りの部分を、エッチングによって除去する。加工および/またはエッチングの量は、元の厚さおよび利用する物質の共振周波数によって異なることは理解されよう。本好適実施例では、そして処理を簡略化するために、図 3 に示すように、ウエハ全体(基板 14)を、加工およびエッチングによって除去して、表面 16 を露出させる。エッチング・プロセスの間、二酸化シリコン層 15 が自然のエッチ・ストップを形成し、物質が過剰に除去されないことを保証する。

【0022】具体的に図 4 を参照すると、空洞 12 に対して上に位置する関係で、層 15 の平面 16 上に、薄膜共振器構造 20 を形成する。共振器構造 20 は、空洞 12 に対して上に位置する関係で層 15 の表面 16 上に配置された第 1 電極 22 と、第 1 電極 22 を覆う第 2 電極 24 と、これらの間に挟持された圧電膜 25 とを含む。共振器の製造技術では既知の態様で、表面 16 上に第 1 電極 22 を形成し、電極 22 上に圧電膜 25 を堆積し、圧電膜 25 の表面上に第 2 電極 24 を堆積する。電極 22, 24 の形成には、例えば、好都合な金属の真空蒸

着、無電解めっき(electroless deposition)等のような、既知の技法のいずれかが利用可能であることは理解されよう。

【0023】ここで注記すべきは、複数の個々の圧電共振器が単一ウエハ上に作成され、各共振器は比較的小さく(各辺が数百ミクロン程度)、しかも複数の共振器が互いに接近して形成されるので、各共振器は各隣接する共振器に非常に類似していることである。上述の作成技法を利用して、必要な数の圧電共振器を単一基板またはウエハ上に作成し、電氣的に接続して所望の圧電フィルタ構成を形成する。本実施例では、電氣的接続部は、電極22, 24がウエハ上にパターンニングされる際に同時に、ウエハ上にパターンニングされる。

【0024】信頼性の高い動作および良好な分離のために、層15の厚さは、圧電共振器の厚さの半分に規定する。好適実施例では、シリコン基板14上に成長させた酸化物層15の厚さは、非常に正確に制御することができる。更に、層15は基板14の除去の間、自然なエッチ・ストップを形成するので、層15の厚さは製造プロセスの残りの間に大幅に変化することはない。また、好適実施例では、空洞12をエッチングで形成し、層16を所望の厚さに成長させて基板10に接合するので、完成した圧電共振器は従来技術の共振器よりもかなり小さく製造可能であり、(全体で、1つの特定のフィルタのための)複数の共振器を互いに非常に接近して形成することができる。空洞12は各共振器毎に形成することができ、また所望であれば、特定のフィルタにおける共振器全てを単一の空洞上に取り付けることも可能であることを注記しておく。

【0025】共振器構造20の圧電層25と電極22, 24が完成した後、電極24の上面上に物質膜27を被着することによって、共振周波数を変更することができる。膜27は、窒化シリコン(Si_3N_4)、酸化シリコンのようないずれかの好都合な誘電体物質、または添加金属(additional metal)のようなより重い物質とすることができる。好適実施例では、膜27は窒化シリコンであり、プラズマ・エンハンス化学蒸着によって被着させる。動作の間、膜27は共振器構造20に質量負荷(mass load)をかけ、全体的に共振周波数を低下させる。当技術では既知のように、共振周波数は、共振器にかかる質量の平方根を共振器の剛性定数で割ったものに直接関係する。したがって、層27の厚さは、共振周波数に所望の変化を与えるように選択する。

【0026】図5を参照すると、本発明によるモノリシック薄膜共振器格子フィルタ30の上面図が示されている。フィルタ30は、2x2の共振器アレイ35, 36, 37, 38と、端子40, 41, 42, 43を含む。共振器35~38の各々は、第1導電膜が基板10上に配置されており、1対の離間された導電性ストリップによって分離され、第1のI/O端子集合40, 41

を規定することを除いて、上述と同様に構成されている。

【0027】本実施例では、共振器35~38のための領域は、導電性ストリップ上に規定され、水晶の素材板(blank)または薄膜ピエゾイド(thin film piezoid)を、この領域全体に被覆する。しかしながら、所望であれば、個々の圧電層を各共振器上に配することも可能であることは理解されよう。とはいえ、単一の素材板または層を使用すれば、4個の共振器35~38全ての均一性を高め、しかも互いに類似して作れるので、格子フィルタ構成に用いる場合、良好な相殺が認められる。

【0028】圧電膜上に第2導電性膜を配置し、1対の離間された導電性ストリップに分離して、第2のI/O端子集合42, 43を規定する。第2の離間導電性ストリップ対は、概略的に第1の導電性ストリップ対に対して直交方向に向けられているので、第2の導電性ストリップ対の各々は、第1の導電性ストリップ対の各々の一部に覆い被さり、この覆い被さる領域は、既に共振器35~38のための領域として規定された部分である。その結果、図6に概略的に示すように、4個の共振器が格子フィルタ状に接続される。

【0029】次に、共振器36, 37に膜27の質量負荷をかけて、周波数を所望量だけ変化させ、共振器35, 38と共振器36, 37との間に周波数のずれを生じせしめる。勿論、所望であれば、共振器36, 37の代わりに、共振器35, 38に質量負荷をかけてもよいことは理解されよう。狭帯域に対する容量性負荷の範囲に応じて、共振器対間の周波数のずれは、一方の対の極を他方の対のゼロに一致させる程度とすることができる。共振器35~38は、互いに非常に接近して形成され、標準的な半導体製造プロセスによって作られるので、これらは互いに非常に類似しており、したがって、格子フィルタ構成として用いられた場合、良好な相殺が認められる。また、基板内の空洞上に共振器35~38を作成することにより、これらを非常に密接に詰め込むことが可能となるが、これは従来技術の背面基板によるプロセスを用いた場合には、実現は不可能であろう。

【0030】具体的に図7を参照すると、図5の格子フィルタを内蔵した受信機フロント・エンド(receiver front-end)50の簡略ブロック図が示されている。フロント・エンド50は、非平衡シングル・エンド・フィルタ53を介して、バラン増幅器(balun amplifier)55のシングル・エンド入力に接続されている受信アンテナ52を含む。増幅器55のバラン出力は、図5の格子フィルタ30と同様、平衡フィルタ56を介して、ミキサ57の平衡入力に接続されている。差動増幅器55およびミキサ57のような差動回路は、相互変調成分を改善するので、歪みが少なく、本質的に共通モード相殺(common mode cancellation)を備えている。

【0031】図8を参照すると、本発明による他のモノ

リシック薄膜共振器格子フィルタ 6 0 の上面図が示されている。フィルタ 6 0 は、共振器 6 5, 6 6 の 1×2 アレイと、共通端子として動作する端子 7 0, 7 1, 7 3 とを含む。共振器 6 5, 6 6 の各々は、本実施例では、共振器 6 5 のみが質量荷重を受けることを除いて、上述と同様に構成されている。狭帯域に対する容量性負荷の範囲に応じて、1 対の共振器 6 5, 6 6 間の周波数のずれは、一方の共振器の極を他方の共振器のゼロに一致させる程度とすることができる。共振器 6 5, 6 6 は互いに非常に接近して作成され、標準的な半導体製造プロセスで作られるので、これらは互いに非常に類似しており、したがって、格子フィルタ構成として用いられる場合、良好な相殺が認められる。

【0 0 3 2】具体的に図 9 を参照すると、図 5 および図 8 の格子フィルタ双方を内蔵した、別の受信機フロント・エンド 8 0 の簡略ブロック図が示されている。フロント・エンド 8 0 は、図 8 の格子フィルタ 6 0 と同様、半格子フィルタ 8 3 を介して差動増幅器 8 5 の 2 つの入力に接続されている受信アンテナ 8 2 を含む。増幅器 8 5 の差動出力は、図 5 の格子フィルタ 3 0 と同様、平衡フィルタ 8 6 を介して、ミキサ 8 7 の平衡入力に接続されている。半格子フィルタ 8 3 を用いて、フロント・エンド 8 0 の初期段階で信号を差動対に変換し、構造の改善および簡略化を図る。

【0 0 3 3】以上のように、改善された薄膜圧電共振器アレイ、および共振器を格子フィルタ、または、望まなければ、ホイートストーン・ブリッジ等のような他のタイプのフィルタに接続するための便利な方法を開示した。以前には、格子フィルタ構成として形成された薄膜共振器はなく、積層型フィルタや梯子フィルタのみであった。格子フィルタは、フィルタの中でも最も多様性のあるタイプであり、格子構成の共振器は本来静電容量が相殺されるので、同一のプロセス能力および共振器設計（圧電物質およびメタライゼーション・プロセス）の下では、即ち、技術的效果尺度 q/r が等しいならば、梯子フィルタと比較してより広い帯域を有する。

【0 0 3 4】開示された格子フィルタは平衡回路であり、例えば、差動増幅器やその他の差動回路と共に好都合に使用することができる。かかる差動回路は、相互変調成分を改善し、歪みが少なく、本質的に共通モード相殺を備えている。更に、薄膜処理によって、高周波数におけるフィルタの動作が可能となり、その上、新規なレイアウトのために、例えば、クロスオーバーのない、格子フィルタの簡単な処理および接続が可能となる。従来技術では、このクロスオーバーのために、回路が非平面となっていた。加えて、ウエハ・ボンディング技術を用いてフィルタ回路を実現したことにより、共振器の単一領域または複数の領域の寸法が縮小され、プロセスの生産性が向上すると共に、コストも低く抑えることができる。最終的なフィルタ回路は、同一技術で実現された梯

子フィルタと比較した場合、帯域が広く、挿入損失が少ないという利点がある。また、積層型共振器フィルタと比較した場合、プロセスは大幅に簡単である。加えて、本発明の新規なフィルタは、低電圧動作を差動増幅に採用する傾向のある、モデム回路に容易に使用することができる。

【0 0 3 5】以上本発明の具体的な実施例を示しかつ説明してきたが、更に別の変更や改良も当業者には想起されよう。したがって、本発明はここに示した特定形態には限定されないものと理解されることを望み、特許請求の範囲は、本発明の精神および範囲から逸脱しない全ての変更を包含することを意図するものである。

【図面の簡単な説明】

【図 1】薄膜共振器の製造における一段階を示す簡略断面図。

【図 2】薄膜共振器の製造における一段階を示す簡略断面図。

【図 3】薄膜共振器の製造における一段階を示す簡略断面図。

【図 4】薄膜共振器の製造における一段階を示す簡略断面図。

【図 5】本発明によるモノリシック薄膜共振器格子フィルタを示す上面図。

【図 6】図 5 の構造の簡略構成図。

【図 7】図 5 に示した格子フィルタを内蔵した受信機フロント・エンドの簡略ブロック図。

【図 8】本発明による他のモノリシック薄膜共振器格子フィルタの上面図。

【図 9】図 5 および図 8 に示した格子フィルタの双方を内蔵した受信機フロント・エンドの簡略ブロック図。

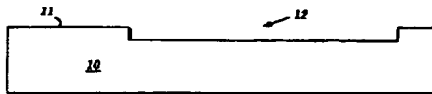
【符号の説明】

- | | |
|--------------------|-------------------|
| 1 0 | 第 1 基板 |
| 1 2 | 空洞 |
| 1 4 | 第 2 基板 |
| 1 5 | 誘電体物質層 |
| 2 0 | 薄膜共振器構造 |
| 2 2 | 第 1 電極 |
| 2 4 | 第 2 電極 |
| 2 5 | 圧電膜 |
| 2 7 | 物質膜 |
| 3 0 | モノリシック薄膜共振器格子フィルタ |
| 3 5, 3 6, 3 7, 3 8 | 共振器アレイ |
| 4 0, 4 1, 4 2, 4 3 | 端子 |
| 5 0 | 受信機フロント・エンド |
| 5 2 | 受信アンテナ |
| 5 3 | 非平衡シングル・エンド・フィルタ |
| 5 5 | バラン増幅器 |
| 5 7 | ミキサ |
| 6 0 | モノリシック薄膜共振器格子フィルタ |
| 6 5, 6 6 | 共振器 |

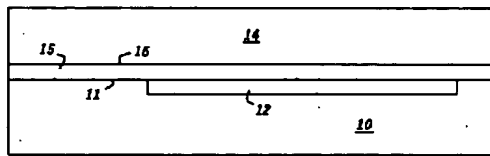
11
70, 71, 73 端子
80 受信機フロント・エンド
83 半格子フィルタ

12
82 受信アンテナ
86 平衡フィルタ
87 ミキサ

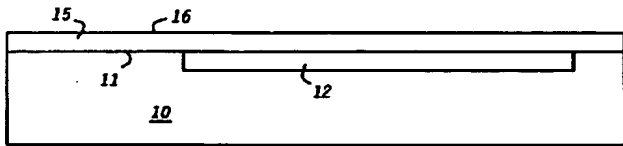
【図 1】



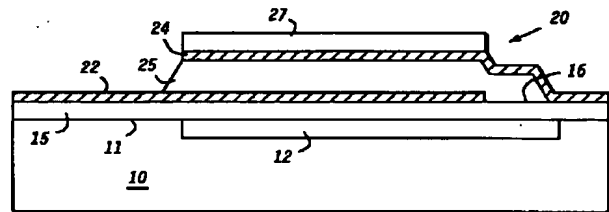
【図 2】



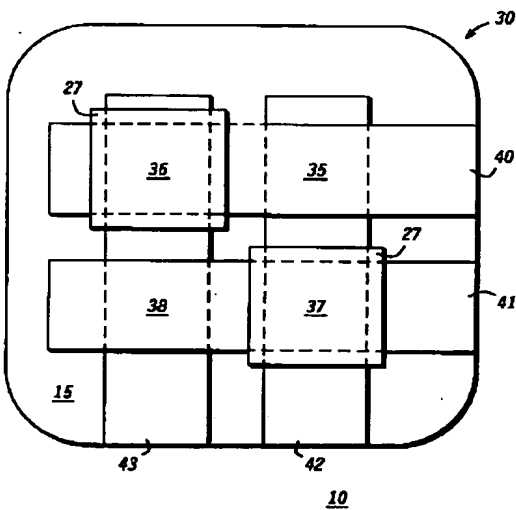
【図 3】



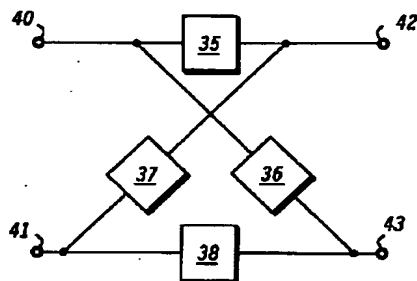
【図 4】



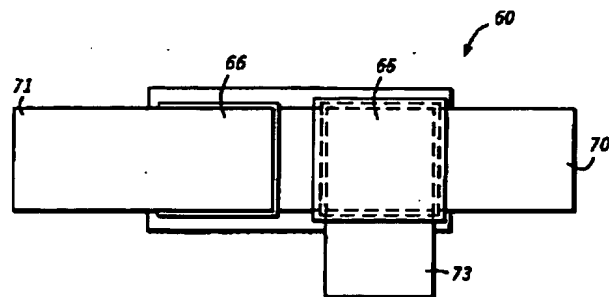
【図 5】



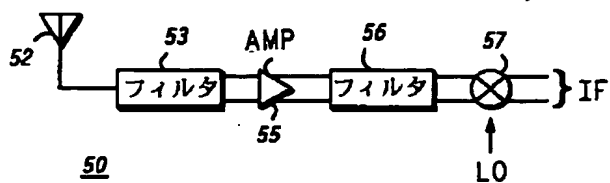
【図 6】



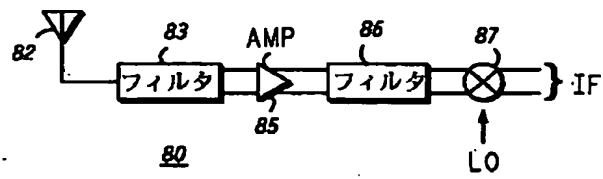
【図 8】



【図 7】



【図 9】



フロントページの続き

(72) 発明者 ロバート・ジー・キンスマン
 アメリカ合衆国イリノイ州ナパービル、サ
 ミット・ヒルズ・レーン1017